



US005998261A

Ref. 1 of 2

United States Patent [19]

[11] Patent Number:

5,998,261

Hofmann et al.

[45] Date of Patent:

Dec. 7, 1999

[54] METHOD OF PRODUCING A READ-ONLY STORAGE CELL ARRANGEMENT

5,460,989 10/1995 Wake 437/43
5,554,550 9/1996 Yang 437/43[75] Inventors: Franz Hofmann, Wolfgang Rösner,
both of München; Wolfgang
Krautschneider, Hohenthann; Lothar
Risch, Neubiberg, all of Germany[73] Assignee: Siemens Aktiengesellschaft, Munich,
Germany

[21] Appl. No.: 08/973,701

[22] PCT Filed: Jun. 25, 1996

[86] PCT No.: PCT/DE96/01117

§ 371 Date: Dec. 8, 1997

§ 102(e) Date: Dec. 8, 1997

[87] PCT Pub. No.: WO97/02599

PCT Pub. Date: Jan. 23, 1997

[30] Foreign Application Priority Data

Jul. 5, 1995 [DE] Germany 195 24 478

[51] Int. Cl.⁶ H01L 21/336

[52] U.S. Cl. 438/257; 438/259; 438/275

[58] Field of Search 438/257, 259,
438/268, 267, 270, 275, 276

[56] References Cited

U.S. PATENT DOCUMENTS

5,049,956 9/1991 Yoshida 357/23.5
5,180,680 1/1993 Yang 437/38
5,414,287 5/1995 Hong 257/316

FOREIGN PATENT DOCUMENTS

32 19 854 C2 6/1992 Germany .
62-40 774 2/1987 Japan .
62-72 170 4/1987 Japan .
62-86 866 4/1987 Japan .
62-269 363 11/1987 Japan .
63-78 573 4/1988 Japan .
63-102 372 5/1988 Japan .
1-150 364 6/1989 Japan .
3-1 574 1/1991 Japan .

OTHER PUBLICATIONS

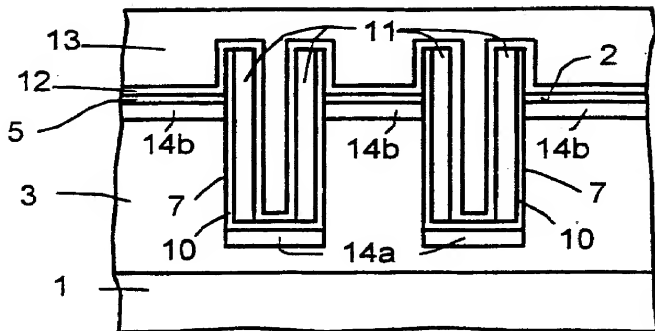
IBM Technical Disclosure Bulletin, vol. 35, No. 4B, Sep. 1992, "Vertical Eeprom Cell", pp. 130-131.

Primary Examiner—Joni Chang
Attorney, Agent, or Firm—Hill & Simpson

[57] ABSTRACT

An electrically writable and erasable read-only memory cell arrangement fabricated in a semiconductor substrate, preferably of monocrystalline silicon, or in a silicon layer of an SOI substrate. A cell array with memory cells is provided on a main surface of the semiconductor substrate. Each memory cell comprises an MOS transistor, vertical to the main surface and comprising, in addition to the source/drain region and a channel region arranged in-between, a first dielectric, a floating gate, a second dielectric and a control gate. A plurality of essentially parallel strip-shaped trenches are provided in the cell array. The vertical MOS transistors are arranged on the flanks of the trenches. The memory cells are in each case arranged on opposite flanks of the trenches.

4 Claims, 3 Drawing Sheets



[19] 中华人民共和国专利局

[51] Int. Cl.⁶

H01L 21/8247

H01L 27/115



[12] 发明专利申请公开说明书

[21] 申请号 96195220.2

[43] 公开日 1998 年 8 月 5 日

[11] 公开号 CN 1189919A

[22] 申请日 96.6.25

[30] 优先权

[32] 95.7.5 [33] DE [31] 19524478.8

[86] 国际申请 PCT/DE96/01117 96.6.25

[87] 国际公布 WO97/02599 德 97.1.23

[85] 进入国家阶段日期 97.12.31

[71] 申请人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 F·霍夫曼 W·罗斯纳

W·克劳茨内德尔 L·里斯赫

[74] 专利代理机构 中国专利代理(香港)有限公司

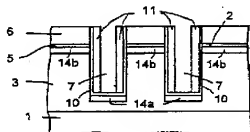
代理人 邹光新 傅康

权利要求书 2 页 说明书 6 页 附图页数 3 页

[54] 发明名称 制造只读存储器单元阵列的方法

[57] 摘要

为了制造只读存储器单元阵列，在半导体衬底内腐蚀出条形槽，每个存储单元具有浮栅（11）形成在这些槽侧面的垂直 MOS 晶体管。仅使用一个掩膜，用自对准方式，以槽（7）和相邻槽（7）之间的条形掺杂区为基础制造 MOS 晶体管的源/漏。槽（7）的宽度和它们之间的间距相同，因此制造出满足 $2F^2$ 的空间要求的存储单元（F：结构的最小尺寸）。



(BJ)第 1456 号

权利要求书

1. 一种制造只读存储器单元阵列的方法,

5 其中存储器单元的单元阵列形成在半导体衬底(1)的主表面(2)上, 每个存储器单元包括 MOS 晶体管, 该 MOS 晶体管垂直于主表面(2), 并包括第一介质层(10)、浮栅(11)、第二介质层(12)和控制栅(13a),

其中半导体衬底(1)至少在单元阵列的区域掺杂成第一导电类型,

10 其中, 为了形成单元阵列, 在半导体衬底(1)的主表面(2)上形成掺杂成第二导电类型并在整个单元阵列上延伸的区域(4),

其中形成沟槽掩膜(6),

15 其中使用沟槽掩膜(6)作腐蚀掩膜, 通过各向异性干法腐蚀工艺在主表面(2)内腐蚀出多个基本平行的条形沟道(7), 通过构形掺杂成第二导电类型的区域(4)形成条形区域(14b), 该条形区域排列在相邻的沟槽(7)之间的主表面(2)上并掺杂成第二导电类型,

其中使用沟槽掩膜(6)作注入掩膜, 通过离子注入形成条形区域(14a), 该条形区域排列在沟槽(7)的底部并掺杂成第二导电类型,

20 其中在每种情况中, 垂直的 MOS 晶体管的第一介质层(10)、浮栅(11)、第二介质层(12)和控制栅(13a)形成在沟槽(7)的相对侧面上,

其中沿侧面的相邻 MOS 晶体管的浮栅(11)和控制栅(13a)相互绝缘,

25 其中形成字线(13a), 该字线横向地延伸到沟槽(7), 并在每种情况中连接到各字线(13a)下排列的垂直的 MOS 晶体管的控制栅(13a):

2. 根据权利要求1的方法,

30 其中, 在形成排列在沟槽(7)底部的条形区域(14a)的离子注入之前, 用离子注入之后将除去的掩蔽间隔层(8)覆盖沟槽(7)的侧壁.

3. 根据权利要求1或2的方法,

- 其中, 形成条形区域 (14a, 14b) 之后, 制造至少覆盖沟槽 (7) 侧面的第一介质层 (10),

- 其中在第一介质层 (10) 上形成第一掺杂的多晶硅层,

- 其中由第一掺杂的多晶硅层各向异性腐蚀形成掺杂的多晶

5 硅间隔层 (11),

- 其中在每种情况中, 垂直的 MOS 晶体管的第一介质层 (10)、浮栅 (11)、第二介质层 (12) 和控制栅 (13a) 形成在沟槽 (7) 的相对侧面上,

- 其中沿侧面的相邻 MOS 晶体管的浮栅 (11) 和控制栅 (13a) 相互绝缘,

- 其中形成字线 (13a), 该字线横向地延伸到沟槽 (7), 并在每种情况中连接到各字线 (13a) 下排列的垂直的 MOS 晶体管的控制栅 (13a) .

2. 根据权利要求 1 的方法,

15 - 其中, 在形成排列在沟槽 (7) 底部的条形区域 (14a) 的离子注入之前, 用离子注入之后将除去的掩蔽间隔层 (8) 覆盖沟槽 (7) 的侧壁.

3. 根据权利要求 1 或 2 的方法,

- 其中, 形成条形区域 (14a, 14b) 之后, 制造至少覆盖沟槽 (7) 侧面的第一介质层 (10),

- 其中在第一介质层 (10) 上形成第一掺杂的多晶硅层,

- 其中由第一掺杂的多晶硅层各向异性腐蚀形成掺杂的多晶硅间隔层 (11),

- 其中形成第二介质层 (12),

25 - 其中形成第二掺杂的多晶硅层 (13),

- 其中借助字线掩膜, 通过构形第二掺杂的多晶硅层 (13) 形成字线 (13a) 和控制栅 (13a),

- 其中在每种情况中, 通过构形第二介质层 (12) 和掺杂的多晶硅间隔层 (11) 形成 MOS 晶体管的第二介质和浮栅.

30 4. 根据权利要求 3 的方法,

- 其中形成掺杂的多晶硅间隔层 (11) 后除去沟槽掩膜 (6) .

说明书

制造只读存储器单元阵列的方法

许多应用要求只读存储器单元的阵列具有电可写和电可擦除硅技术的只读存储器单元,即所谓的EEPROM。即使没有外加电压,存储的数据也保留在这些EEPROM阵列中。

从技术的观点来看,这些存储器单元通常由MOS晶体管制成,该MOS晶体管的沟道区上具有第一介质层、浮栅、第二介质层和控制栅。如果电荷存储在浮栅上,那么该电荷影响MOS晶体管的阈值电压。在这种存储器单元阵列中,“浮栅上有电荷”的状态指定为第一逻辑值,“浮栅上没有电荷”的状态指定为第二逻辑值。使用富勒-诺德哈姆(Fowler-Nordheim)隧道电流或“热电子”电流,由此使电子注入到浮栅上,信息写入到存储器单元内。通过隧道电流穿过第一介质层来擦除信息。在NAND阵列中,至少八个EEPROM晶体管相互串联连接。

MOS晶体管设计为平面MOS晶体管,并且排列为平面单元结构。因此存储器单元要求的最小面积等于 $4F^2$,F为在各种技术中最小的可制造结构尺寸。这种类型的EEPROM阵列目前能提供的最大数据存储量为32Mbit。

JP-A 3-1574公开了一种电可写和电可擦除只读存储器单元阵列,它包括作为存储器单元、垂直于半导体衬底主表面并具有浮栅和控制栅的MOS晶体管。在衬底内形成基本上平行的条形沟槽。垂直的MOS晶体管设置在沟槽的侧面。在这种情况下,存储器单元设置在沟槽的相对侧面上。包括MOS晶体管的源和漏区的条形沟道掺杂区在沟道的底部和相邻沟道之间的主表面上延伸。在形成沟道后,通过掩蔽注入制成这些条形沟道掺杂区。当进行掩蔽步骤时,由于不可避免的对准误差,所以在该存储器单元阵列中得到的封装密度很有限。

US-A 5 049 956公开了一种电可写和电可擦除存储器单元阵列,包括带有浮栅和控制栅并排列于点形沟槽中的垂直MOS晶体管。作为所有MOS晶体管的公用源区的连续掺杂层形成在沟槽底部。为了增加耦合电容,浮栅突出于衬底的表面。

目前大量的数据以可读和可擦除形式存储在动态存储器单元阵列

(DRAM)或磁性数据载体中。 DRAM 需要连续的外加电压以保持存储的数据。与此相比, 磁性数据载体基于带有旋转存储介质的机械系统。

5 本发明的目的在于提供一种制造只读存储器单元阵列的方法, 制造需要有小面积的每个存储器单元。

根据本发明, 通过权利要求 1 的制造只读存储器单元阵列的方法可以解决该问题。本发明进一步的进展在其它权利要求中给出。

10 通过本发明制造的电可读和电可擦除只读存储器单元阵列在半导体衬底中制得, 最好为单晶硅, 或在 SOI 衬底的硅层中。存储器单元的单元阵列形成在半导体衬底的主表面上。每个存储器单元包括 MOS 晶体管, 该 MOS 晶体管垂直于主表面, 除了源/漏区和排列在其间的沟槽区外, 还包括第一介质层、浮栅、第二介质层和控制栅。

15 多个基本平行的条形沟道形成在单元阵列中。垂直的 MOS 晶体管排列在沟槽的侧面上。这时, 在各种情况下, 存储器单元排列在沟槽的相对侧面上。

条形掺杂区在每种情况下都延伸到沟槽的底部和相邻沟槽之间的主表面上。条形掺杂区与各自的侧面形成排列在侧面上的 MOS 晶体管的源/漏区。第一介质层、浮栅、第二介质层和控制栅沿对应的源/漏区之间的侧面排列。在每种情况中, 多个存储器单元沿侧面排列。浮栅和
20 控制栅沿侧面与相邻的存储器单元相互绝缘。

在每种情况中, 横向延伸到沟槽的字线连接到在分别的字线下排列的垂直的 MOS 晶体管的控制栅。

与沟道的深度相比, 浮栅最好在垂直于表面的方向内有较大延伸。因此浮栅突出于主表面之上。以这种方式浮栅和控制栅之间的耦合电容
25 增加。

如果选择相邻沟槽间的距离基本上等于沟槽的宽度, 那么根据本发明的只读存储器单元阵列可以用自对准制造法制造。每个存储器单元要求的空间为 $2F^2$, F 为在各个技术中最小的结构尺寸。对于自对准法制造存储器单元阵列仅需两个光刻制造的掩膜: 一个掩膜用于腐蚀沟槽, 另
30 另一掩膜用于构造横向延伸到沟槽的字线。浮栅用间隔层腐蚀形成, 并与沟槽的侧面自对准。使用字线掩膜, 使形成的浮栅和第二介质层平行于沟槽的延伸部分。

最好在除去沟道槽膜之前进行间隔层腐蚀以形成浮栅。然后借助沟槽掩膜的厚度调节垂直于主表面的浮栅的延伸部分。在淀积用于形成第二介质的第二介质层之前，除去沟道槽膜。

- 5 当不必通过增加浮栅的延伸部分来增加浮栅和控制栅之间的耦合电容时，在淀积用于形成浮栅的第一掺杂多晶硅层之前，除去沟槽掩膜。

下面结合说明性实施例和图更详细地介绍本发明。

图 1 显示的是在单元阵列中带掺杂区的衬底。

图 2 显示的是沟槽腐蚀后带沟槽掩膜的衬底。

- 10 图 3 显示的是在沟槽的底部形成条形掺杂区后的衬底。

图 4 显示的是在沟道的侧面形成第一介质和掺杂多晶硅间隔层之后的衬底。

图 5 显示的是淀积第二介质层和第二掺杂多晶硅层之后的衬底。

图 6 显示的是最终的电可写和可擦存储器单元阵列的平面图。

- 15 由如掺杂浓度为 $5 \times 10^{15} \text{ cm}^{-3}$ 的 p 掺杂单晶硅构成的衬底 1 在主表面 2 上形成有厚度如 50nm (未表示) 的掩蔽氧化物。通过硼注入 (160keV , $6 \times 10^{13} \text{ cm}^{-2}$) 和随后的热处理形成掺杂剂浓度为 $3 \times 10^{17} \text{ cm}^{-3}$ 的 p 掺杂阱 3 (见图 1)。然后腐蚀除去掩蔽氧化物。

- 20 例如用 LOCOS 工艺，在 p 掺杂阱 3 的边缘随后形成绝缘结构 (未显示)。绝缘结构限定了用于单元阵列的区域。

进一步形成 20 nm 的掩蔽氧化物 (未显示) 后，通过 50keV , $5 \times 10^{15} \text{ cm}^{-2}$ 的硼注入形成 n^+ 掺杂区 4。 n^+ 掺杂区 4 的掺杂浓度为 $1 \times 10^{21} \text{ cm}^{-3}$ 。它在用于单元阵列的区域上的主表面 2 上延伸。 n^+ 掺杂区 4 的深度例如等于 200nm。

- 25 除去掩蔽氧化物后，通过如 800°C 的热氧化在主表面 2 上形成厚度如 50 nm 的 SiO_2 层，用 CVD 形成厚度为 50 nm 的氮化物层。 SiO_2 层和氮化物层形成辅助层 5 (见图 2)。

随后，为了形成沟槽掩膜 6，用 TEOS 工艺淀积 300nm 厚的 SiO_2 层，并借助光刻法，通过例如用 CHF_3 、 O_2 各向异性干法腐蚀构形。

- 30 然后各向异性干法腐蚀根据沟槽掩膜 6 构形辅助层 5。例如用 CHF_3 、 O_2 腐蚀辅助层 5。除去用于构形沟槽掩膜 6 的光刻胶掩膜后，进行沟槽腐蚀。在使用如 HBr 、 He 、 O_2 、 NF_3 的各向异性干法腐蚀

工艺中进行沟道腐蚀。因此形成深度如 $0.6\mu\text{m}$ 的沟槽 7。沟槽 8 在 NAND 单元阵列块上延伸。它们的长度为如 $8\mu\text{m}$ 并且宽度为如 $0.4\mu\text{m}$ 。

在单元阵列中，相邻的沟槽 7 以 $0.4\mu\text{m}$ 的间距排列。沟槽 7 基本上平行。

- 5 通过保形淀积，形成 20nm 厚的 TEOS 层（未显示），然后形成厚度如 80nm 的 Si_3N_4 层。通过随后的用如 CHF_3 、 O_2 的各向异性干法腐蚀工艺，在沟槽 7 和沟槽掩膜 6 的垂直侧面形成 Si_3N_4 间隔层 8（见图 3）。

- 10 然后用 TEOS 法在整个表面上淀积 20nm 厚的掩蔽氧化层 9。对形成在沟槽 7 底部的 n^+ 掺杂条形区 14a 进行离子注入（ $5 \times 10^{15} \text{cm}^{-2}$ ， 50keV ）。通过热处理步骤激活掺杂区 14a。条形掺杂区 14a 掺杂剂浓度设置为 $1 \times 10^{21} \text{cm}^{-3}$ 。

在离子注入期间， Si_3N_4 间隔层 8 掩蔽沟槽 7 的侧面。这可避免在沟槽 7 的侧面产生的垂直 MOS 晶体管的阈值电压漂移。

- 15 在沟槽腐蚀过程中，通过在相邻沟槽 7 之间构成 n^+ 掺杂区 4，在半导体衬底 1 的主表面上形成条形掺杂区 14b。

然后在如 HF 腐蚀剂中除去掩蔽氧化层 9。例如用 H_3PO_4 的湿法化学腐蚀除去 Si_3N_4 间隔层 8。然后使用 HF 的湿法化学腐蚀除去薄氧化层。在沟槽 7 的侧面和底部留下未覆盖的硅表面。

- 20 通过如 800°C 的热氧化至少在暴露的硅表面上形成由 SiO_2 组成的第一介质层 10。在侧面形成厚度如 10nm 的第一介质层 10。由于沟槽 7 底部的条形掺杂区 14a 的掺杂增加，因此这里形成厚度为 50nm 的第一介质层。

- 25 通过淀积如 100nm 厚的原位掺杂的多晶硅和随后的各向异性深腐蚀，在沟槽的侧面上制造掺杂的多晶硅间隔层 11。

为了形成掺杂的多晶硅间隔层 11，也可以淀积未掺杂的多晶硅层，该层随后将由其它方式（extraneous means）进行掺杂。

- 30 通过如 HF 蒸汽的湿法腐蚀除去沟槽掩膜 6。在该腐蚀中，相对于热 SiO_2 选择性地除去用 TEOS 法淀积的 SiO_2 。在该腐蚀中，不影响条形掺杂区 14a,b 表面上的辅助层 5 和第一介质层 10（见图 5）。该腐蚀对于多晶硅具有进一步的选择性。除去沟槽掩膜 6 之后，掺杂的多晶硅间隔层 11 突出于主表面 2 之上。垂直于主表面 2 的方向内多晶硅间隔

层 11 的延伸由沟槽掩膜 6 的厚度决定。

然后在整个表面上形成第二介质层 12。形成的第二介质层 12 为多层，包括第一 SiO_2 层、 Si_3N_4 层和第二 SiO_2 层。在这种情况下， Si_3N_4 层用 CVD 工艺淀积，第一和第二 SiO_2 层通过热氧化形成。形成厚度为 8 nm 的第二介质层 12。

然后淀积第二掺杂的多晶硅层 13。使用原位掺杂淀积第二掺杂的多晶硅层 13。淀积的厚度为如 500nm。第二掺杂的多晶硅层 13 完全填充沟槽 7。同样填充了主表面 2 上相邻多晶硅间隔层 11 之间的间隔。

然后通过淀积厚度如 100nm 的 TEOS SiO_2 层，并借助光刻工艺步骤（未显）构形 TEOS SiO_2 层形成字线掩膜（未示出）。字线掩膜限定了横向地延伸到沟槽 7 的字线。用如 HBr 、 Cl_2 、 He 的各向异性干法腐蚀工艺，使用字线掩膜做腐蚀掩膜构形第二多晶硅层 13。这样可产生横向延伸到沟槽的字线 13a（见图 6 的平面图）和沟槽 7 区域内的控制栅。一旦露出第二介质层 12 的表面就停止腐蚀。

在 ONO 情况下，用如 CHF_3 、 O_2 的进一步干法腐蚀工艺腐蚀第二介质层 12。相对于（氧化物/氮化物），高选择性地再次腐蚀（ HBr 、 Cl_2 、 He ）多晶硅。此时，也腐蚀浮栅和控制栅直至沟槽底部。在该腐蚀期间，由掺杂的多晶硅间隔层 11 形成浮栅。

然后通过如 HF 、 H_3PO_4 的湿法腐蚀除去第二介质层 12。

在根据字线 13a 的延伸构形掺杂的多晶硅间隔层 11、第二介质层 12 和第二掺杂的多晶硅层 13 期间，在沟槽 7 内的相邻字线 13a 之间露出第一介质层 10。这意味着相邻字线 13a 之间的沟槽 7 的开口到第一介质层 10 为止。然后淀积如 800nm 厚的 TEOS SiO_2 层，并深腐蚀 TEOS SiO_2 层直至露出字线 13a 的表面来填充该中间间隔（未表示）。

最后，如硼磷硅酸盐玻璃的平面化中间氧化层淀积在整个表面上，并在该层中开接触孔。除此之外对字线 13a、到排列在沟槽 7 底部的条形掺杂区 14a，和排列在相邻沟槽 7 之间的主表面 2 上的条形掺杂区 14b 开接触孔。接触孔填充例如铝。现在通过例如淀积和构形铝层产生金属化平面。最后施加钝化层。未详细表示这些常用步骤。

在根据本发明制造的只读存储器单元阵列中，根据“虚接地”原理估测单独的存储器单元。每个条形掺杂区 14a,b 指定为两行存储器单元。此时由相邻排列的主表面 2 上的条形掺杂区 14 a 和底部的 14b 组成

的一对条形掺杂区 14a,b 明确地指定为一行存储器单元。因此, 当读取只读存储器单元阵列时, 通过字线 13a 选择后, 绝缘沟槽底部的条形掺杂区 14a 和主表面 2 上的条形掺杂区 14b 之间的电流流动可以估测。在沟槽 7 底部和主表面 2 上的条形掺杂区 14a, 14b 的工作取决于作为参考线或位线的布线结构。

和常规的 EEPROM 阵列一样, 通过“热电子注入”将信息写到存储器单元。在富勒-诺德哈姆过程中擦除存储器单元。

为了编程的目的, 例如 V_{dd} 的第一电源电压施加到选择晶体管左侧的条形掺杂区 14a, 14b, 例如 V_{ss} 的第二电源电压施加到选择晶体管右侧的条形掺杂区 14a, 14b。例如 7V 的高栅电压施加到排列在沟槽 7 内字线 13a 的部分上, 作用相当于控制栅。因而电子注入到相关的浮栅内。

为了擦除信息, 通过富勒-诺德哈姆过程浮栅放电到衬底。

图 6 为根据本发明的只读存储器单元阵列的单元阵列的平面图。存储器单元的单元尺寸用虚线表示。存储器单元的宽度由沟槽 7 宽度的一半和相邻沟槽之间的间距的一半构成。存储器单元的长度由字线 13a 的宽度和两倍的相邻字线 13a 之间的半间距构成。如果形成的沟道 7 的宽度为 F 和间距为 F , 并且如果字线 13a 以宽度 F 和间距 F 形成, 其中 F 为在各个技术中最小的结构尺寸, 那么可得到 $2F^2$ 的存储器单元面积。

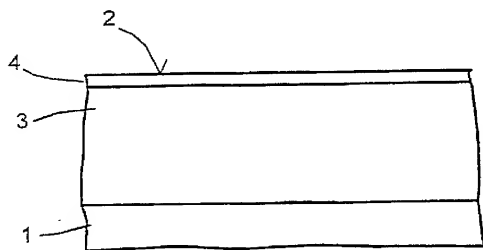


图 1

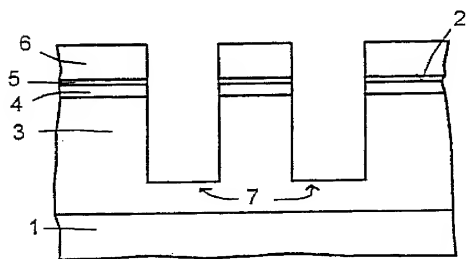


图 2

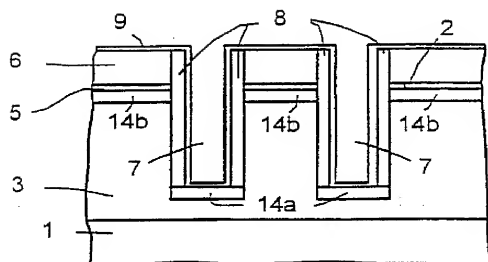


图 3

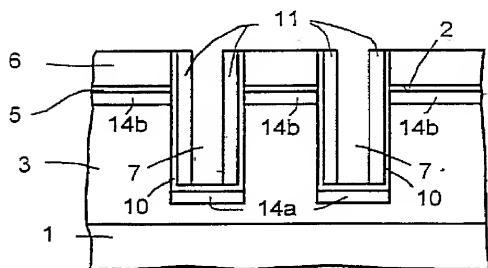


图 4

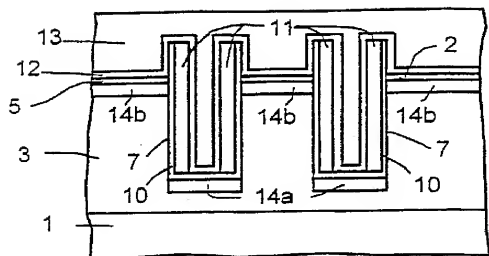


图 5

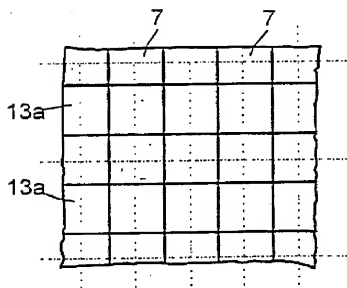


图 6